


MANUFACTURE FOR SEMICONDUCTOR DEVICE

Patent number: JP11238703
Publication date: 1999-08-31
Inventor: UENO KAZUYOSHI
Applicant: NEC CORP
Classification:
- **International:** H01L21/288; C25D3/38; C25D7/12; H01L21/3205
- **European:**
Application number: JP19980038311 19980220
Priority number(s):

Also published as:

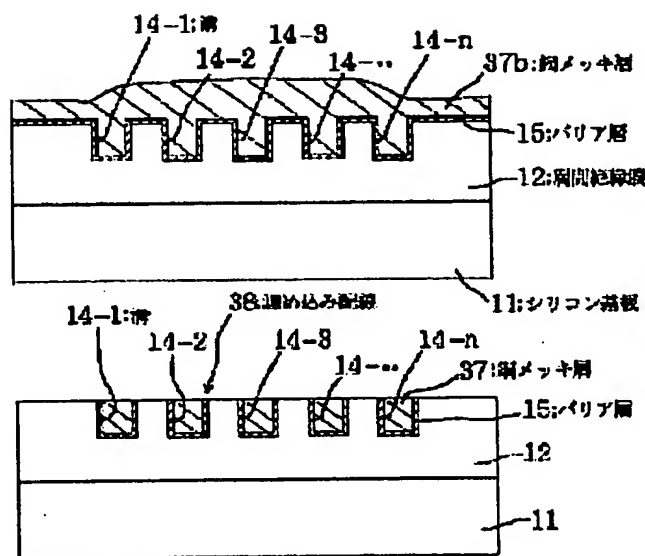
 US6245676 (B1)

Report a data error here

Abstract of JP11238703

PROBLEM TO BE SOLVED: To improve degree of freedom in a wiring design by preventing the occurrence of erosion of erosion when an embedded wiring is formed.

SOLUTION: An interlayer insulating film 12 is formed on a silicon substrate 11 and then trenches 14-1 to 14-n are made on the interlayer insulating film 12. Then, a barrier layer 15 is deposited throughout the region on the side surfaces of the trenches 14-1 to 14-n, and a copper seed layer 16 is formed over the entire surface of the barrier layer 15. Then, jet plating is performed by using the copper seed layer 16 as electrode to embed the inside of the trenches 14-1 to 14-n as well as to deposit on the interlayer insulating film 12 a copper-plated layer 37b raised in the region of the trenches 14-1 to 14-n and the peripheral region thereof. Then, the surface of the copper-plated layer 37b is polished by a chemical mechanical method, until the interlayer insulating film 12 is exposed to form a buried wiring 38.



(10)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-238703

(43)公開日 平成11年(1999)8月31日

| | | | |
|--------------------------|------|----------------|------|
| (51)Int.Cl. ⁶ | 識別記号 | P I | |
| H 0 1 L 21/288 | | H 0 1 L 21/288 | E |
| C 2 5 D 3/28 | | C 2 5 D 3/28 | |
| | 7/12 | | 7/12 |
| H 0 1 L 21/3205 | | H 0 1 L 21/68 | K |

審査請求 有 請求項の数11 O L (全 13 P)

(21)出願番号 特願平10-36311

(22)出願日 平成10年(1998)2月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 上野 和良

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁護士 西村 征生

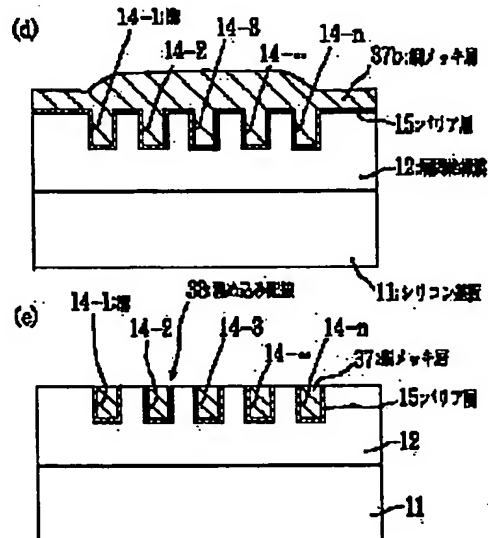
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 埋め込み配線の形成の際、エロージョンが発生するのを抑制し、配線設計の自由度を高める。

【解決手段】 シリコン基板 11の上に層間絶縁膜 12を形成し、次に層間絶縁膜 12に溝 14-1~14-nを形成する。この後、バリア層 15を溝 14-1~14-n内の側面と底面及び層間絶縁膜 12上の全域に被着し、バリア層 15上の全域に銅シード層 16を形成する。次に、銅シード層 16を電極として噴流メッキを行い、溝 14-1~14-n内を埋め込むと共に層間絶縁

膜 12上に溝 14-1~14-n及びその周辺領域で凸状に盛り上がった形状の銅メッキ層 37bを堆積する。この後、その表面に層間絶縁膜 12が露出するまでCMP法による研磨を施し、埋め込み配線 38を形成する。



【特許請求の範囲】

【請求項1】 基板の上に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、前記埋め込み配線を形成する際、前記電気メッキ法の電流を制御することで、前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項2】 前記電気メッキ法では、流れの向きが交互に時間変化する2方向電流を、少なくとも前記溝が埋め込まれるまで流し、次に、流れの向きが時間変化する1方向電流を流して、前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記電気メッキ法で用いるメッキ液には、前記金属シード層又は前記堆積層の露出表面における電流密度の高い部位に対する前記金属配線材料の付着を阻止又は抑制する抑制剤が含まれていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 流れの向きが時間変化する1方向電流を、少なくとも前記溝が埋め込まれるまで流し、次に、流れの向きが交互に時間変化する2方向電流を流して、前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 基板の上に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極として、流れの向きが時間変化する1方向電流を流す電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の前記堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、前記埋め込み配線を形成する際、

まず、前記金属シード層又は前記堆積層の露出表面における電流密度の高い部位に対する前記金属配線材料の付着を阻止又は抑制する抑制剤を含んだ第1のメッキ液を用いて、少なくとも前記溝が埋め込まれるまで前工程の電気メッキを行い、次に、前記抑制剤を含まない第2のメッキ液を用いて後工程の電気メッキを行うことで、前記

金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項6】 基板の上に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極として、流れの向きが交互に時間変化する2方向電流を流す電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、前記埋め込み配線を形成する際、

まず、前記金属シード層又は前記堆積層の露出表面における電流密度の高い部位に対する前記金属配線材料の付着を阻止又は抑制する抑制剤を含まない第2のメッキ液を用いて、少なくとも前記溝が埋め込まれるまで前工程の電気メッキを行い、次に、前記抑制剤を含む第1のメッキ液を用いて後工程の電気メッキを行うことで、前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項7】 基板の上に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、前記埋め込み配線を形成する際、

まず、前記絶縁膜上の領域のうち、少なくとも前記溝を除く領域に前記金属配線材料の堆積を阻止する堆積阻止層を形成し、次に、前記電気メッキ法を実施して、前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項8】 基板の上に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、前記埋め込み配線を形成する際、

まず、前記電気メッキ法により、前記絶縁膜上に前記金

屈配線材料の堆積層を形成し、次に、該堆積層上の領域のうち、少なくとも前記溝の上の領域に、前記金属配線材料の堆積層に対するエッチングを阻止するためのマスク層を形成し、次に、前記エッチング処理を施すことで、前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上げさせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項9】 基板に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、前記埋め込み配線を形成する際、

まず、前記電気メッキ法により、前記絶縁膜上に前記金属配線材料の堆積層を薄く形成し、あるいは、前記電気メッキ法により、前記絶縁膜上に前記金属配線材料の堆積層を形成した後、エッチングバックして薄い堆積層とし、

次に、前記金属シード層又は前記堆積層の露出表面における電流密度の高い部位に対する前記金属配線材料の付着を阻止又は抑制する抑制剤を含んだ第1のメッキ液を用いて、流れの向きが交互に時間変化する2方向電流を流す電気メッキを行うことで、

前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上げさせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項10】 基板に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、前記埋め込み配線を形成する際、

まず、前記電気メッキ法により、前記絶縁膜上に前記金属配線材料の堆積層を薄く形成し、あるいは、前記電気メッキ法により、前記絶縁膜上に前記金属配線材料の堆積層を形成した後、エッチングバックして薄い堆積層とし、

次に、前記金属シード層又は前記堆積層の露出表面における電流密度の高い部位に対する前記金属配線材料の付着を阻止又は抑制する抑制剤を含まない第2のメッキ液を用いて、流れの向きが時間変化する1方向電流を流す電気メッキを行うことで、

前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上げさせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項11】 前記電気メッキ法は、前記メッキ液を前記基板上に形成された前記金属シード層に、噴流状態に吹き付ける噴流メッキ法であることを特徴とする請求項1乃至10のいずれか1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に係り、詳しくは、埋め込み配線形成領域の絶縁膜表面の平坦性が確保される半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体集積回路が微細化、高集積化されるに伴い、配線の多層化が進められてきている。このような状況下で、例えば、半導体基板上に形成された下地層間絶縁膜の上に下層配線を形成し、その下層配線を覆って層間絶縁膜を堆積するというような場合には、下地層間絶縁膜と下層配線との段差が反映されて、下層配線を覆ってその上に形成される層間絶縁膜の表面が平坦にならない。このように、下層配線を覆って形成される層間絶縁膜の表面に凹凸があれば、この層間絶縁膜の上にさらに上層の配線を形成するというような場合、その上層の配線を歩留り良く形成することが不可能となる。したがって、層間絶縁膜の表面の平坦性の確保は重要である。このため、層間絶縁膜中に埋め込み配線を形成してその表面を平坦化することが行われてきている。

【0003】以下、図9及び図10を参照して、従来の埋め込み配線の形成方法について説明する。まず、図9(a)に示すように、シリコン基板11の上にシリコン酸化膜からなる層間絶縁膜12を形成し、その上の全域にフォトリソスト13を塗布し、フォトリソグラフィー技術を用いて形成しようとする配線の形状に対応したレジストパターンを形成し、これをマスクとして層間絶縁膜12に、深さ略0.5 μ m、幅0.3~1.0 μ m、間隔略0.5 μ mの溝14-1、14-2、14-3、…、14-nを形成する。この後、同図(b)に示すように、フォトリソスト13を除去し、タンタル(Ta)からなるバリア層15を溝14-1~14-n内の側面と底面及び層間絶縁膜12上の全域に被覆し、さらにこのバリア層15上の全域に銅シード層16を形成する。なお、このバリア層15の被覆及び銅シード層16の形成は周知のCVD法、スパッタ法等により行われる。上記において、このバリア層15は、銅がシリコン酸化膜中へ拡散して配線間又はシリコン基板中の接合部でリーク電流が発生するのを防止する等のため設けられる。次に、同図(c)に示すように、この銅シード層16を電

極とする噴流メッキ法により、溝14-1~14-n内を埋め込むと共に層間絶縁膜12上の広い範囲に亘って表面が略平坦な銅メッキ層17を堆積する。次に、図10(d)に示すように、化学的機械的研磨(CMP: Chemical and Mechanical Polishing)法により、銅メッキ層17が形成されたシリコン基板11の全表面を層間絶縁膜12が露出するまで研磨し、溝14-1~14-nの内部にのみ銅メッキ層17を残して埋め込み配線18を形成する。

【0004】ここで、図11を参照して、上記図9

(c)に示す工程における噴流メッキ法について説明する。図11は、噴流メッキ装置の一例の概略構成図である。この噴流メッキ装置21は、同図に示すように、銅イオン(Cu²⁺)が溶解されているメッキ液22を一時貯留する略円筒状のメッキ槽23と、メッキ槽23内に収容された円筒状の噴流カップ24と、噴流カップ24の僅か上方に水平に配置された絶縁材料からなる円板状の固定板25と、噴流カップ24の底面からその中央部上方に開口しているメッキ液噴出用の噴出管26と、メッキ槽23の底面から槽内に開口しているメッキ液22の排出管27とを備えている。さらに、図示してはいないが、メッキ槽23の外側にはポンプとメッキ液タンクが備えられ、このポンプによりメッキ液22が、メッキ液タンクから噴出管26を通して噴流カップ24内に導入され、メッキ槽23からメッキ液タンクに返送される。また、固定板25の下面25aには銅メッキ層17を堆積しようとするシリコン基板11が固定されている。

【0005】この噴流メッキ装置21を用いて、シリコン基板11上に銅メッキ層17を形成するには、まず固定板25の下面25aにシリコン基板11を固定し、次に図示してないポンプを作動させ噴出管26よりメッキ液22を噴流させながらシリコン基板11が固定された固定板25をメッキ液22の僅か上方の所定位置に水平に配置し、この状態で噴流カップ24側を正(+)、シリコン基板11(銅シード層16)側を負(-)とする所定の電圧を印加して電流を流し、次に、メッキ液22の液面を上げてメッキ液22を矢印のようにシリコン基板11の表面に吹き付けば、銅シード層16の上に銅メッキ層17が堆積される。銅メッキ層17の堆積を終えたメッキ液22は噴流カップ24の上部から側方に溢れ出る。所定時間経過後、メッキ液22の噴出を停止し液面を下げ、固定板25をメッキ槽23から取り出してシリコン基板11を固定板25から外す。このようにして所定の位置に銅メッキ層17が堆積されたシリコン基板11を得ることが出来る。ここで、上記噴流メッキ装置21は、噴流カップ24を正の電極として用いている例であるが、噴流カップ24の中にメッシュ状の電極を設けて、これに正の電圧を印加し、噴流カップ24自体を電極として用いない装置もある。

【0006】なお、上記において、噴流カップ24側を正とし、シリコン基板11側を負として所定の電圧を印加し電流を流すと述べたが、特開昭57-71150号公報第230頁左下欄第1行目乃至第7行目に記載されているように、噴流メッキ法では電流密度が高い箇所でのメッキ速度が早いため、常に一定パターンの電流を流したのでは表面が平坦な銅メッキ層17は得られない。

【0007】そこで、金属シード層16や銅メッキ層17の露出表面における電流密度の高い箇所に吸着し、この部位に対する銅の付着を阻止又は抑制する添加剤(以下、抑制剤ともいう)が添加されたメッキ液が使用される場合がある(例えば、Cubathm(ENTHONE OMI社の商品名))。このような抑制剤入りのメッキ液22を使用する場合には、自動的に電流密度の高い箇所でメッキ速度が遅くなるようになっていくから、常に一方向の極性の電流を流せば表面が略平坦なメッキ層が得られる。したがって、この場合、図10(e)及び同図(b)に示すように、一方向の極性の負の直流電流又は負の直流パルス電流を流して噴流メッキを行い、表面が略平坦な銅メッキ層17を得ている。

【0008】また、上記抑制剤が添加されないメッキ液が使用される場合もある(例えば、Microtab(EEDA社の商品名))。この場合、電流密度の高い箇所でのメッキ速度が速いので常に一方向の極性の電流を流したのでは膜厚が不均一になり、ひいては図14に示すように、溝14-1の内部が埋まる以前に開口部付近の両側の電流密度の高い箇所で堆積物がくっつき、溝内の埋め込み層にボイド(void)が発生してしまい、エレクトロマイグレーション(electromigration)寿命が短くなってしまふという不都合が発生する。これを回避するため、この場合、図13に示すような、順、逆と交互に極性の变化する直流パルス電流を流して噴流メッキを行い、表面が略平坦な銅メッキ層17を得ている。

【0009】

【発明が解決しようとする課題】ところで、上記のように、表面が略平坦な銅メッキ層17を得た後、その表面に研磨を施して溝14-1~14-nの内部にのみ銅を残し埋め込み配線18を形成すると、図10(d)に示すように、エロージョン(配線パターンの密度の高い領域の表面部分の銅が多く研磨されて窪む現象)の発生や、図15に示すように、幅の広い溝14-1内に銅メッキ層17を埋め込んで幅広の配線パターンの埋め込み配線19を形成すると、ディッシング(幅広の配線パターンの表面部分の銅が多く研磨されて窪む現象)の発生が起き、配線パターンの幅に制約が生じ、設計自由度が低下してしまうという問題があった。

【0010】これは、CMP法による研磨において、層間絶縁膜12の膜減りを防ぎながら(この場合、略500オングストローム以内)溝14-1~14-n内にのみ銅を残して埋め込み配線18を形成するためには、層

間絶線膜12に比較して銅メッキ層17の研磨レートを高くする必要がある。このため、例えば、研磨剤に酸性の添加物を添加し銅を酸化して酸化銅として、シリコン酸化膜に比べて銅の方が速く研磨されるようにしている。このため、層間絶線膜12が露出したとき、銅の面積比率が高いところで多く除去されて上記エロージョンやディッシングが発生している。

【0011】この発明は、上述の事情に鑑みてなされたもので、絶線膜の配線予定部位に溝を設け金属配線材料を埋め込むと共に絶線膜上に堆積し、その表面に平坦化処理を施して埋め込み配線を形成する際に、エロージョンやディッシングの発生を抑制することができ、配線設計の自由度を高めることができる半導体装置の製造方法を提供することを目的としている。

【0012】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、基板の上に形成した絶線膜の配線予定部位に溝を設け、上記溝を含む絶線膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶線膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方法に係り、上記埋め込み配線を形成する際、上記電気メッキ法の電流を制御することで、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上げさせた後、上記堆積層を上記絶線膜が露出するまで研磨除去することを特徴としている。

【0013】また、請求項2記載の発明は、請求項1記載の半導体装置の製造方法に係り、上記電気メッキ法では、流れの向きが交互に時間変化する2方向電流を、少なくとも上記溝が埋め込まれるまで流し、次に、流れの向きが時間変化しない1方向電流を流して、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上げさせた後、上記堆積層を上記絶線膜が露出するまで研磨除去することを特徴としている。

【0014】また、請求項3記載の発明は、請求項1記載の半導体装置の製造方法に係り、上記電気メッキ法で用いるメッキ液には、上記金属シード層又は上記堆積層の露出表面における電流密度の高い部位に対する上記金属配線材料の付着を阻止又は抑制する抑制剤が含まれていることを特徴としている。

【0015】また、請求項4記載の発明は、請求項3記載の半導体装置の製造方法に係り、流れの向きが時間変化しない1方向電流を、少なくとも上記溝が埋め込まれるまで流し、次に、流れの向きが交互に時間変化する2方向電流を流して、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上げさせた後、上記堆積層を上記絶線膜が露出するまで研磨除去することを特徴

としている。

【0016】また、請求項5記載の発明は、基板の上に形成した絶線膜の配線予定部位に溝を設け、上記溝を含む絶線膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極として、流れの向きが時間変化しない1方向電流を流す電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶線膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方法に係り、上記埋め込み配線を形成する際、まず、上記金属シード層又は上記堆積層の露出表面における電流密度の高い部位に対する上記金属配線材料の付着を阻止又は抑制する抑制剤を含んだ第1のメッキ液を用いて、少なくとも上記溝が埋め込まれるまで前工程の電気メッキを行い、次に、上記抑制剤を含まない第2のメッキ液を用いて後工程の電気メッキを行うことで、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上げさせた後、上記堆積層を上記絶線膜が露出するまで研磨除去することを特徴としている。

【0017】また、請求項6記載の発明は、基板の上に形成した絶線膜の配線予定部位に溝を設け、上記溝を含む絶線膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極として、流れの向きが交互に時間変化する2方向電流を流す電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶線膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方法に係り、上記埋め込み配線を形成する際、まず、上記金属シード層又は上記堆積層の露出表面における電流密度の高い部位に対する上記金属配線材料の付着を阻止又は抑制する抑制剤を含まない第2のメッキ液を用いて、少なくとも上記溝が埋め込まれるまで前工程の電気メッキを行い、次に、上記抑制剤を含む第1のメッキ液を用いて後工程の電気メッキを行うことで、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上げさせた後、上記堆積層を上記絶線膜が露出するまで研磨除去することを特徴としている。

【0018】また、請求項7記載の発明は、基板の上に形成した絶線膜の配線予定部位に溝を設け、上記溝を含む絶線膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶線膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方法に係り、上記埋め込み配線を形成する際、まず、上記絶線膜上の領域のうち、少なくとも上記溝を除く領域に上記金属配線材料の堆積を阻止する堆積阻止層を形成し、

次に、上記電気メッキ法を実施して、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上げさせた後、上記堆積層を絶縁膜が露出するまで研磨除去することを特徴としている。

【0019】また、請求項8記載の発明は、基板上に形成した絶縁膜の配線予定部位に溝を設け、上記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶縁膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方法に係り、上記埋め込み配線を形成する際、まず、上記電気メッキ法により、上記絶縁膜上に上記金属配線材料の堆積層を形成し、次に、該堆積層上の領域のうち、少なくとも上記溝の上の領域に、上記金属配線材料の堆積層に対するエッチングを阻止するためのマスク層を形成し、次に、上記エッチング処理を施すことで、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上げさせた後、上記堆積層を上記絶縁膜が露出するまで研磨除去することを特徴としている。

【0020】また、請求項9記載の発明は、基板上に形成した絶縁膜の配線予定部位に溝を設け、上記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶縁膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方法に係り、上記埋め込み配線を形成する際、まず、上記電気メッキ法により、上記絶縁膜上に上記金属配線材料の堆積層を薄く形成し、あるいは、上記電気メッキ法により、上記絶縁膜上に上記金属配線材料の堆積層を形成した後、エッチングバックして薄い堆積層とし、次に、上記金属シード層又は上記堆積層の露出表面における電流密度の高い部位に対する上記金属配線材料の付着を阻止又は抑制する抑制剤を含んだ第1のメッキ液を用いて、流れの向きが交互に時間変化する2方向電流を流す電気メッキを行うことで、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上げさせた後、上記堆積層を上記絶縁膜が露出するまで研磨除去することを特徴としている。

【0021】また、請求項10記載の発明は、基板上に形成した絶縁膜の配線予定部位に溝を設け、上記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶縁膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方

法に係り、上記埋め込み配線を形成する際、まず、上記電気メッキ法により、上記絶縁膜上に上記金属配線材料の堆積層を薄く形成し、あるいは、上記電気メッキ法により、上記絶縁膜上に上記金属配線材料の堆積層を形成した後、エッチングバックして薄い堆積層とし、次に、上記金属シード層又は上記堆積層の露出表面における電流密度の高い部位に対する上記金属配線材料の付着を阻止又は抑制する抑制剤を含まない第2のメッキ液を用いて、流れの向きが時間変化する1方向電流を流す電気メッキを行うことで、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上げさせた後、上記堆積層を上記絶縁膜が露出するまで研磨除去することを特徴としている。

【0022】また、請求項11記載の発明は、請求項1乃至10のいずれか1に記載の半導体装置の製造方法に係り、上記電気メッキ法は、上記メッキ液を上記基板上に形成された上記金属シード層に、噴流状態で吹き付ける噴流メッキ法であることを特徴としている。

【0023】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的にを行う。

◇第1実施例

図1及び図2は、この発明の第1実施例である半導体装置の製造方法を説明する工程用断面図、また、図3は、同実施例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。この例の半導体装置の製造方法の、従来例のそれ（図9及び図10参照）と大きく異なるところは、銅メッキ層37a、37bの堆積にあたり、図3に示すように、溝14-1～14-n内が埋め込まれるまでは、一方向の極性の直流電流（流れの向きが時間変化する1方向電流）を流すことにより表面が略平坦な銅メッキ層を形成し、溝14-1～14-n内が埋め込まれたからは、順、逆と交互に極性の変化する直流パルス電流（流れの向きが交互に時間変化する2方向電流）を流して噴流メッキを行い、図2（d）に示すように、銅メッキ層37aを、溝14-1～14-n及びその周辺領域にそれ以外の領域に比較して凸状に盛り上げ堆積するようにしている点である。なお、従来法の構成各部と同一の構成部分には同一の符号を付してその説明を省略する。

【0024】この例の半導体装置の製造方法を実施するには、まず、図1（a）に示すように、シリコン基板11の上に層間絶縁膜12を形成し、その上の全域にフォトリソスト13を塗布してレジストパターンを形成し、次に層間絶縁膜12の配線予定部位に、溝14-1～14-nを形成する。この後、同図（b）に示すように、フォトリソスト13を除去し、バリア層15を溝14-1～14-n内の側面と底面及び層間絶縁膜12上の全域に被覆し、バリア層15上の全域に銅シード層16を

形成する。ここまでは、上述した従来の製造方法と同様である。

【0025】次に、銅シード層16の形成を終えたシリコン基板11を、図11に示す噴流メッキ装置21の固定板25の下面25aに固定し、この固定板25をメッキ液22の液面から僅か上方の所定の位置に水平に配置し、噴流カップ24を一方の電極とし、また、シリコン基板11（銅シード層16）を他方の電極として、この電極間に所定の電圧を印加して電流を流し、図示していないポンプを作動させて噴出管26よりメッキ液22を噴出させ矢印のようにシリコン基板11の表面に吹き付け、銅シード層16の上に銅メッキ層37aを堆積させる。所定時間経過後、メッキ液22の噴出を停止し液面を下げ、固定板25をメッキ槽23から取り出しシリコン基板11を固定板25から外す。

【0026】この例では、銅メッキ層の堆積は、金属シード層16や銅メッキ層17の露出表面における電流密度の高い箇所に吸着し、この部位に対する銅の付着を阻止又は抑制する抑制剤入りのメッキ液（第1のメッキ液）を用いた噴流メッキ法により行う。この場合、抑制剤が入っていることで自動的に電流密度の高い箇所でのメッキ速度が遅くなるようになっている。したがって、一方向の極性の直流電流を流すことにより表面が略平坦な銅メッキ層の形成ができる。すなわち、図3に示すように、溝14-1～14-n内が埋め込まれるまでの前工程においては、一方向の極性の負の直流電流を流して噴流メッキを行う。これにより、図1(c)に示すように、層間絶縁膜12上に、溝14-1～14-n内を埋め込むと共に表面が略平坦な銅メッキ層37aが堆積される。ここでは、略平坦な銅メッキ層を堆積させるために、一方向の極性の負の直流電流を流しているが、抑制剤の働きが充分でないために、溝内の埋め込み層にボイドが発生する可能性がある。ボイドの発生をなくすために、電流を一旦停止し、その後、上記負の直流電流とは逆向きのパルス状電流を流す等の方法により、溝（孔）の開口部の角をなくしボイドの原因となる開口部でのピンチオフの発生を防止できる。このとき、溝

（孔）部では、銅の堆積速度が、底部よりも開口部の方が早くなり、この結果、銅の堆積形状が、（底部よりも開口部で狭くなるという）断面逆テーパ形状とならないようにすることが必要である。

【0027】その後、メッキ電流パターンを切り替えて噴流メッキを続ける。すなわち、図3に示すように、溝14-1～14-n内が埋め込まれてからの後工程においては、順方向、逆方向と交互に極性の変化する直流パルス電流を流して噴流メッキを行う。ここで、正のパルス電流は、電流密度の高い箇所に吸着する添加剤分子を除去するための逆バイアス電流であり、この正のパルス電流を流すことで電流密度の高い箇所により多く銅メッキ層が堆積する。したがって、図1(c)に示すような

形状で銅メッキ層37aが堆積された後は、溝14-1～14-n部での銅の膜厚が層間絶縁膜12上の銅の膜厚に比べて厚くなり、相対的に抵抗が下がるので電流量が多くなり、この溝14-1～14-n上部で銅の堆積量が多くなる。これにより、図2(d)に示すように、溝14-1～14-n及びその周辺領域でそれ以外の領域に比較して凸状に盛り上がった形状の銅メッキ層37bが堆積される。すなわち、この後に行われるCMP法による平坦化処理の際に、層間絶縁膜に比較して研磨レートが高く設定される銅が、その面積比率が高くなる部分により厚く形成される。

【0028】次に、図2(e)に示すように、CMP法を用いて層間絶縁膜12が露出するまで銅メッキ層37bが堆積されたシリコン基板11の表面を研磨し、溝14-1～14-n内部にのみ銅メッキ層37を埋め込み配線38を形成する。エロージョンは発生していない。なお、この例は、配線密度の高い場合であるが、幅広い配線パターンの埋め込み配線が形成される場合も同様となり、ディッシングが発生することはない。

【0029】したがって、この例の構成によれば、層間絶縁膜の配線予定部位に溝を設け、溝に銅メッキ層を埋め込むと共に層間絶縁膜上に堆積し、その表面に平坦化処理を施して埋め込み配線を形成する際に、エロージョンやディッシングの発生を抑制することができ、配線設計の自由度を高めることができる。ここで、図3に示した用、逆と交互に極性の変化する直流パルス電流の周期t1、t2は、略10秒以内に設定される。これは、略10秒を超えると添加剤分子が電流密度の高い箇所に吸着したり除去されたりする際に銅メッキ層の形状が変わってしまう虞があるからである。また、負のパルス電流のピーク値I2は0.8～1.2A/dm²に、負の直流電流値I1及び正のパルス電流のピーク値I3は、I2の略1/2に設定される。なお、この例の変形例として、ボイドが発生しないように、メッキを中断し、銅の堆積形状が、（底部よりも開口部で狭くなるという）断面逆テーパ形状とならないように、電流パルスを変化させても良い。

【0030】◇第2実施例

図4は、この例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。この例の半導体装置の製造方法の、第1実施例のそれ（図1、2及び図3参照）と大きく異なるところは、溝14-1～14-n内が埋め込まれるまでに流すメッキ電流パターンが違う点である。すなわち、溝14-1～14-n内が埋め込まれるまでの前工程においては、図4に示すように、一方向の極性の負の直流パルス電流（流れの向きが時間変化しない1方向電流）を流して噴流メッキを行う。これにより、図1(c)に示すように、層間絶縁膜12上に、溝14-1～14-n内を埋め込むと共に表面が略平坦な銅メッキ層37aが堆積される。

【0031】この後、メッキ電流パターンを切り替えて噴流メッキを続ける。すなわち、溝14-1~14-n内が埋め込まれてからの後工程においては、図4に示すように、順、逆と交互に極性の变化する直流パルス電流を流して噴流メッキを行う。これにより、図2(d)に示すように、溝14-1~14-n及びその周辺領域でそれ以外の領域と比較して凸状に盛り上がった形状の鋼メッキ層37bが堆積される。したがって、この例の構成によれば、第1実施例において上述したと同様の効果を得ることができる。ここで、図4に示した負の直流パルス電流の周期13は、略10秒以内に設定され、負の直流パルス電流のピーク値14は、負のパルス電流のピーク値12よりやや低めに設定される。

【0032】◇第3実施例

図5は、この例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。この例の半導体装置の製造方法の、第1実施例のそれ（図1、2及び図3）と大きく異なるところは、上記抑制剤が添加されていないメッキ液（第2のメッキ液）を用いて噴流メッキを行い鋼メッキ層の堆積を行う点である。これによりメッキ電流パターンの切り替えも異なってくる。この例でのメッキ液22には、抑制剤が入っていないので、電流密度の高い箇所でのメッキ速度が速い。この場合、既述したが、一方向の極性の直流電流を流したのでは膜厚が不均一になり、ボイドの発生によりエレクトロマイグレーション寿命の低下という不都合が発生する。これを防ぐため、順、逆と交互に極性の变化する直流パルス電流を流して表面が平坦な鋼メッキ層を堆積する。ここで、正のパルス電流は、電流密度の高い箇所に堆積した余分な銅を除去するための逆バイアス電流である。

【0033】すなわち、溝14-1~14-n内が埋め込まれるまでの前工程においては、図5に示すように、順、逆と交互に極性の变化する直流パルス電流を流して噴流メッキを行う。これにより、図1(o)に示すように、層間絶縁膜12上に、溝14-1~14-n内を埋め込むと共に表面が略平坦な鋼メッキ層37eが堆積される。なお、順方向、逆方向と交互に極性の变化する直流パルス電流のパターンは、ボイドの発生を防止する観点から、適宜変更しても良い。

【0034】この後、メッキ電流パターンを切り替えて噴流メッキを続ける。すなわち、溝14-1~14-n内が埋め込まれてからの後工程においては、図5に示すように、一方向の極性の負の直流電流を流して噴流メッキを行う。メッキ液22には、抑制剤が入っていないので、電流密度の高い箇所により多く鋼メッキ層が盛り上がり堆積する。したがって、図1(o)に示すような形状で鋼メッキ層37eが堆積された後は、溝14-1~14-n部での鋼の膜厚が層間絶縁膜12上部のそれと比べて厚くなり、相対的に抵抗が下がるので電流量が多

くなり、この溝14-1~14-n上部で鋼の堆積量が多くなる。これにより、図2(d)に示すように、溝14-1~14-n及びその周辺領域でそれ以外の領域と比較して凸状に盛り上がった形状の鋼メッキ層37bが堆積される。

【0035】したがって、この例の構成によれば、第1実施例において上述したと同様の効果を得ることができる。ここで、図5における、順、逆と交互に極性の变化する直流パルス電流の周期14、15は、略10秒以内に設定される。これは、10秒を超えると電流密度の高い箇所に堆積した余分な銅が電流密度の高い箇所に堆積したり除去されたりする際に鋼メッキ層の形状が変わってしまう虞があるからである。

【0036】◇第4実施例

図6は、この例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。この例の半導体装置の製造方法が、第3実施例のそれと大きく異なるところは、溝14-1~14-n内が埋め込まれてから流すメッキ電流パターンが違う点である。すなわち、溝14-1~14-n内が埋め込まれるまでの前工程においては、図6に示すように、順、逆と交互に極性の变化する直流パルス電流を流して噴流メッキを行う。これにより、図1(o)に示すように、層間絶縁膜12上に、溝14-1~14-n内を埋め込むと共に表面が略平坦な鋼メッキ層37eが堆積される。

【0037】この後、メッキ電流パターンを切り替えて噴流メッキを続ける。すなわち、溝14-1~14-n内が埋め込まれてからの後工程においては、図6に示すように、一方向の極性の負の直流パルス電流を流して噴流メッキを行う。これにより、図2(d)に示すように、溝14-1~14-n及びその周辺領域でそれ以外の領域と比較して凸状に盛り上がった形状の鋼メッキ層37bが堆積される。したがって、この例の構成によれば、第1実施例において上述したと同様の効果を得ることができる。

【0038】◇第5実施例

この例の半導体装置の製造方法の、第1実施例のそれ（図1、2及び図3）と大きく異なるところは、第1実施例ではメッキ液の種類を一定としておきメッキ電流パターンを切り替えて鋼メッキ層の盛り上げ堆積を行っていたのに対し、この例ではメッキ電流パターンを一定としておきメッキ液の種類を変えて鋼メッキ層の盛り上げ堆積を行うという点である。すなわち、常に、一方向の極性の負の直流電流又は負の直流パルス電流を流しておく（図3又は図4に示す溝が埋め込まれるまでの電流パターンである）。そして、溝14-1~14-n内が埋め込まれるまでの前工程においては、抑制剤入りのメッキ液22を用いて噴流メッキを行う。この場合、メッキ液22は抑制剤が入っているので自動的に電流密度の高い箇所メッキ速度が遅くなる。これにより、図1

(o)に示すように、層間絶縁膜12上に、溝14-1~14-n内を埋め込むと共に表面が略平坦な銅メッキ層37eが堆積される。

【0039】この後、溝14-1~14-n内が埋め込まれた後の後工程においては、メッキ液22を抑制剤の入っていない液に切り替えて噴流メッキを続ける。このとき、メッキ電流パターンは、上記のように、一方向の極性の負の直流電流又は負の直流パルス電流であるから、電流密度の高い箇所より多く銅メッキ層が盛り上がり堆積する。したがって、図1(o)に示すような形状で銅メッキ層37eが堆積された後は、溝14-1~14-n部での銅の膜厚が層間絶縁膜12上のそれに比べて厚くなり、相対的に抵抗が下がるので電流量が多くなり、この溝14-1~14-n上部で銅の堆積量が多くなる。これにより、図2(d)に示すように、溝14-1~14-n及びその周辺領域でそれ以外の領域に比較して凸状に盛り上がった形状の銅メッキ層37bが堆積される。したがって、この例の構成によれば、第1実施例において上述したと略同様の効果を得ることができる。

【0040】◇第6実施例

この例の半導体装置の製造方法は、第5実施例のそれと同様に、メッキ電流パターンを一定としておきメッキ液の種類を変えて銅メッキ層の堆積を行うが、メッキ電流パターンが異なっている。すなわち、常に、順、逆と交互に極性の変化する直流パルス電流を流しておく(図5又は図6に示す溝が埋め込まれるまでの電流パターンである)。そして、溝14-1~14-n内が埋め込まれるまでの前工程においては、抑制剤の入っていないメッキ液を用いて噴流メッキを行う。この場合、正のパルス電流は、電流密度の高い箇所に堆積した余分な銅を除去するための逆バイアス電流である。これにより、図1(o)に示すように、層間絶縁膜12上に、溝14-1~14-n内を埋め込むと共に表面が略平坦な銅メッキ層37eが堆積される。

【0041】この後、溝14-1~14-nが埋め込まれた後の後工程においては、メッキ液22を抑制剤入りの液に切り替えて噴流メッキを続ける。ここで、正のパルス電流は、電流密度の高い箇所に吸着する添加剤分子を除去するための逆バイアス電流であり、この正のパルス電流を流すことで、電流密度の高い箇所より多く銅メッキ層が堆積する。したがって、図1(o)に示すような形状で銅メッキ層37eが堆積された後は、溝14-1~14-n部での銅の膜厚が層間絶縁膜12上のそれに比べて厚くなり、相対的に抵抗が下がるので電流量が多くなり、この溝14-1~14-n上部で銅の堆積量が多くなる。これにより、図2(d)に示すように、溝14-1~14-n及びその周辺領域でそれ以外の領域に比較して凸状に盛り上がった形状の銅メッキ層37bが堆積される。したがって、この例の構成によれば、

第1実施例において上述したと略同様の効果を得ることができる。

【0042】◇第7実施例

図7は、この発明の第7実施例に係る銅メッキ層堆積を説明する工程断面図である。この例の半導体装置の製造方法の、第1実施例のそれ(図1、2及び図3)と大きく異なるところは、溝及びその周辺領域以外の層間絶縁膜上に銅メッキ層が堆積されないような堆積阻止層を形成し、溝及びその周辺領域のみに銅メッキ層を堆積するようにした点である。この例の半導体装置の製造方法を実施するには、シリコン基板11の上に層間絶縁膜12を形成し、その上の全域にフォトリソスト13を塗布してレジストパターンを形成し、次に層間絶縁膜12に溝14-1~14-nを形成し、フォトリソスト13を除去し、バリア層15を被覆しその上の全域に銅シード層16を形成する。ここまでは、上述した第1実施例の製造方法と略同様である。

【0043】次に、図7(e)に示すように、銅シード層16が形成されたシリコン基板11の表面にフォトリソスト43を塗布し、フォトリソグラフィー技術を用いて露光、現像し、溝14-1~14-n及びその周辺領域の部分が除去されたレジストパターンを形成する。次に、図11に示す噴流メッキ装置21を用い、銅シード層16を一方の電極として、上記レジストパターンが形成されたシリコン基板11上に噴流メッキを施す。この後、フォトリソスト43を除去して、溝14-1~14-n及びその周辺領域で凸状に盛り上がった形状の銅メッキ層47が堆積され構造を形成する(図7(b)参照)。次に、図2(e)に示す工程のように、CMP法を用いて層間絶縁膜が露出するまで銅メッキ層が堆積されたシリコン基板表面を研磨し、溝内部にのみ銅メッキ層を残して埋め込み配線を形成する。したがって、この例の構成によれば、第1実施例において上述したと略同様の効果を得ることができる。

【0044】◇第8実施例

図8は、この発明の第8実施例に係る銅メッキ層堆積を説明する工程断面図である。この例の半導体装置の製造方法の、第1実施例のそれ(図1、2及び図3)と大きく異なるところは、層間絶縁膜上に、溝内を埋め込むと共に表面が略平坦な銅メッキ層を堆積した後、溝及びその周辺領域の銅メッキ層を覆ってマスクを形成し、溝及びその周辺領域以外に堆積された銅メッキ層を溶くことによって、溝及びその周辺領域で凸状に盛り上がった形状の銅メッキ層が堆積され構造を形成する点である。

【0045】この例の半導体装置の製造方法を実施するには、シリコン基板11の上に層間絶縁膜12を形成し、その上の全域にフォトリソスト13を塗布してレジストパターンを形成し、次に層間絶縁膜12の配線予定部位に、溝14-1~14-nを形成する。この後、フ

オトレジスト13を除去し、バリア層15を溝14-1~14-n内の側面と底面及び層間絶縁膜12上の全域に被覆し、バリア層15上の全域に銅シード層16を形成する。次に、この銅シード層16を電極とする噴流メッキ法により、溝14-1~14-nを埋め込むと共に層間絶縁膜12上の広い範囲に亘って表面が略平坦な銅メッキ層17を堆積する。ここまでは、上述した従来の製造方法と同様である。次に、図8(e)に示すように、表面が略平坦な銅メッキ層17が堆積されたシリコン基板11の表面にフォトレジスト53を塗布し、フォトリソグラフィ技術を用い露光、現像し、溝14-1~14-n及びその周辺領域以外のフォトレジスト53を除去し、溝14-1~14-n及びその周辺領域にのみレジストが残置されたレジストパターンを形成する。

【0046】次に、上記レジストパターンをマスクとして銅メッキ層17の露出部分をエッチングして薄くし、この後フォトレジスト53を除去して溝14-1~14-n及びその周辺領域で凸状に盛り上がった形状の銅メッキ層17が堆積され構造を形成する(図8(b)参照)。次に、図2(e)に示す工程のように、CMP法を用いて層間絶縁膜が露出するまで銅メッキ層が堆積されたシリコン基板表面を研磨し、溝内部にのみ銅メッキ層を残して埋め込み配線を形成する。したがって、この例の構成によれば、第1実施例において上述したと同様の効果を得ることができる。なお、溝及びその周辺領域以外に堆積され露出している銅メッキ層を薄くすることは、上記のエッチング以外の方法によって行っても良い。

【0047】◇第9実施例

この例の半導体装置の製造方法が、第1実施例のそれ(図1、2及び図3)と大きく異なるところは、層間絶縁膜上に、溝内を埋め込むと共に表面が略平坦な銅メッキ層を堆積した後、銅メッキ層の全域をエッチングバックして膜厚を薄くし、この後、電流密度の高い箇所でのメッキ速度が速くなるような条件で噴流メッキを行い、溝及びその周辺領域で凸状に盛り上がった形状の銅メッキ層が堆積され構造を形成する点である。この例の半導体装置の製造方法を実施するには、特に図示してはいないが、シリコン基板の上に層間絶縁膜を形成し、次に層間絶縁膜に溝を形成する。この後、バリア層を溝内の側面と底面及び層間絶縁膜上の全域に被覆しその上の全域に銅シード層を形成する。次に、この銅シード層を電極とする噴流メッキ法により、溝内を埋め込むと共に層間絶縁膜上に表面が略平坦な銅メッキ層を堆積する。ここまでは、上述した従来の製造方法と同様である。

【0048】この後、銅メッキ層の全域をエッチングバックして膜厚を薄くする。次に、抑制剤入りのメッキ液(図3又は図4に示す溝が埋め込まれた後の電流パタ

ーンである)を流して噴流メッキを行うか、もしくは抑制剤の入っていないメッキ液を用い、一方向の極性の負の直流電流もしくは負の直流パルス電流(図5又は図6に示す溝が埋め込まれた後の電流パターンである)を流して噴流メッキを行う。このメッキ液と電流パターンの組み合わせでは、表面が略平坦な銅メッキ層が堆積された後は、層間絶縁膜上に被覆して銅の膜厚が厚い溝及びその周辺領域で電流密度が多くなり、この部分に凸状に盛り上がった形状の銅メッキ層が形成される。次に、図2(e)に示す工程のように、CMP法を用いて層間絶縁膜が露出するまで銅メッキ層が堆積されたシリコン基板表面を研磨し、溝内部にのみ銅メッキ層を残して埋め込み配線を形成する。したがって、この例の構成によれば、第1実施例において上述したと同様の効果を得ることができる。

【0049】◇第10実施例

この例の半導体装置の製造方法が、第9実施例のそれと大きく異なるところは、第9実施例では、層間絶縁膜上に、溝内を埋め込むと共に表面が略平坦な銅メッキ層を堆積した後、銅メッキ層の全域をエッチングバックして膜厚を薄くしているが、この例では、層間絶縁膜上に、溝内を埋め込むと共に表面が略平坦な銅メッキ層を薄く堆積している点である。すなわち、この例では、層間絶縁膜上に銅メッキ層を薄く堆積するから、第9実施例で行われたエッチングバックして銅メッキ層の膜厚を薄くする処理が不必要になる。これ以外は、第9実施例と同様であるので、繰り返して説明はしない。したがって、この例の構成によれば、第1実施例において上述したと同様の効果を得ることができる。

【0050】以上、この発明の実施例を図面により詳細してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、溝の深さ、幅、間隔等は上述した例に限定されない。また、上述した例において、略平坦な銅メッキ層を堆積させるまでに流す電流パターンは一定である必要はなく、ボイドの発生を防止するための電流パターンを変更できる。このとき、電流パターンの変更によって、銅の堆積層の形状が(溝の開口部でその底部よりも広い)扇形状に保つことが重要である。また、上述した例では、銅メッキ層の堆積は、噴流メッキ法によって行っていたが、この方法以外の電気メッキ法、例えば浸漬式メッキ法によって行っても良い。この場合、埋め込み配線の金属材料としては、上述した銅以外に、メッキできる金属、例えば金、銀、アルミニウム等も使用できる。また、上述した例では、溝及びその周辺領域以外の層間絶縁膜上に銅メッキ層が堆積されないような堆積阻止層としてフォトレジストパターンを用いているが、これ以外のものを用いても良い。さらに、層間絶縁膜上に表面が略平坦な銅メッキ層を堆積した後、銅メッキ層の全域をエッチング

バックして膜厚を薄くする方法は、上述したエッチング以外の方法によって行っても良い。さらにまた、清に銅メッキ層が埋め込まれた後の層間絶縁膜の表面の平坦化は、上記CMP法のみによることはなく、これ以外の方法によって平坦化しても良い。

【0051】

【発明の効果】以上説明したように、この発明の半導体装置の製造方法によれば、絶縁膜の配線予定部位に溝を設け、溝に金属配線材料を埋め込むと共に絶縁膜上に堆積し、その表面に平坦化処理を施して埋め込み配線を形成する際に、エロージョンやディッシングの発生を抑制することができるので、配線設計の自由度を高めることができる。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体装置の製造方法を説明する工程断面図である。

【図2】同製造方法を説明する工程断面図である。

【図3】同実施例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。

【図4】この発明の第2実施例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。

【図5】この発明の第3実施例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。

【図6】この発明の第4実施例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。

【図7】この発明の第7実施例である半導体装置の製造方法に係る銅メッキ層堆積法を説明する工程断面図である。

【図8】この発明の第8実施例である半導体装置の製造

方法に係る銅メッキ層堆積法を説明する工程断面図である。

【図9】従来の半導体装置の製造方法を説明する工程断面図である。

【図10】同製造方法を説明する工程断面図である。

【図11】噴流メッキ装置の一例を示す概略構成図である。

【図12】従来の半導体装置の製造方法の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。

【図13】従来の半導体装置の製造方法の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。

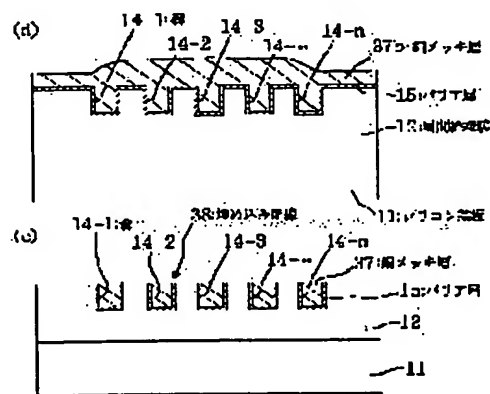
【図14】従来の半導体装置の製造方法に係る銅メッキ層堆積において、電流密度の高い箇所でのボイドの発生を示す図である。

【図15】従来の半導体装置の製造方法におけるディッシングの発生を説明する断面図である。

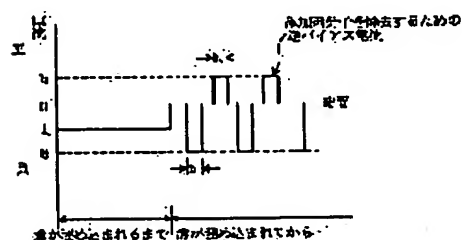
【符号の説明】

- 11 シリコン基板（基板）
- 12 層間絶縁膜（絶縁膜）
- 14-1、14-2、14-3、...、14-n 溝
- 15 銅シード層（金属シード層）
- 17 銅メッキ層（金属配線材料の堆積層）
- 21 噴流メッキ装置
- 22 メッキ液
- 37、37a、37b 銅メッキ層（金属配線材料の堆積層）
- 38 埋め込み配線
- 43 フォトリソスト（堆積阻止層）
- 47 銅メッキ層（金属配線材料の堆積層）
- 53 フォトリソスト（マスク層）

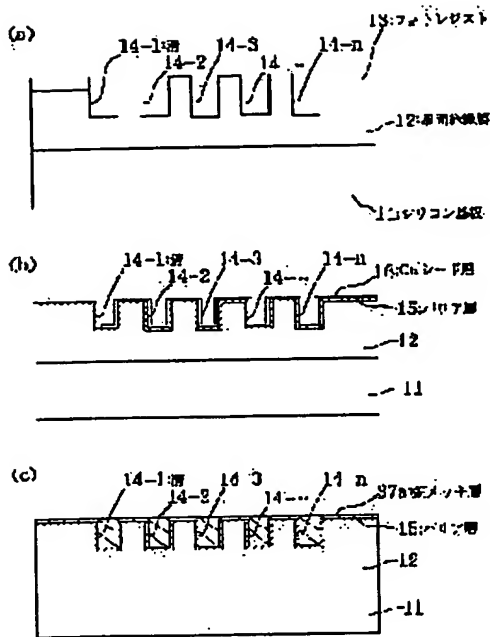
【図2】



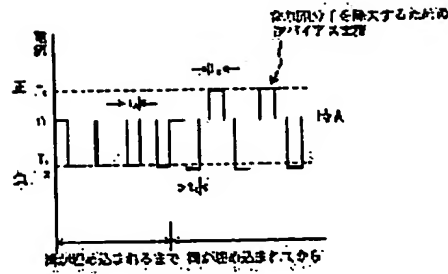
【図3】



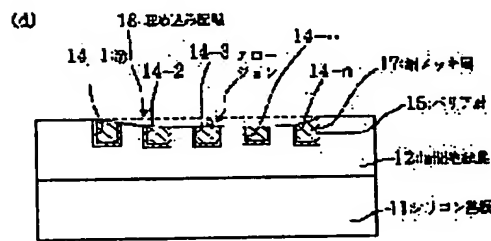
【図 1】



【図 4】

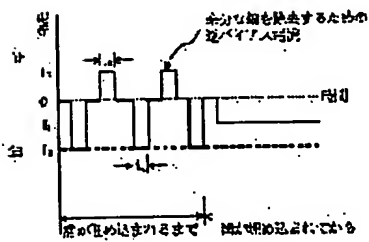


【図 10】

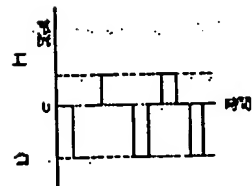


【図 12】

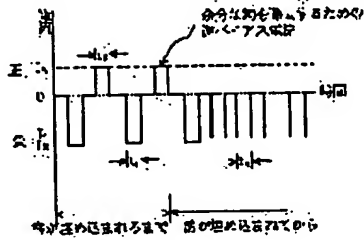
【図 5】



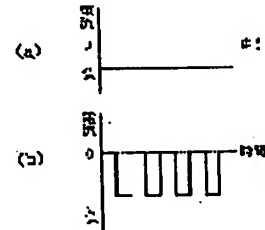
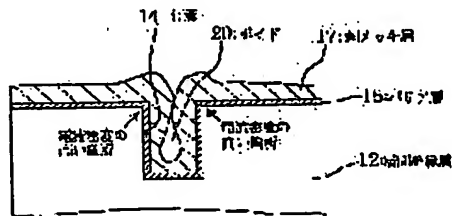
【図 13】



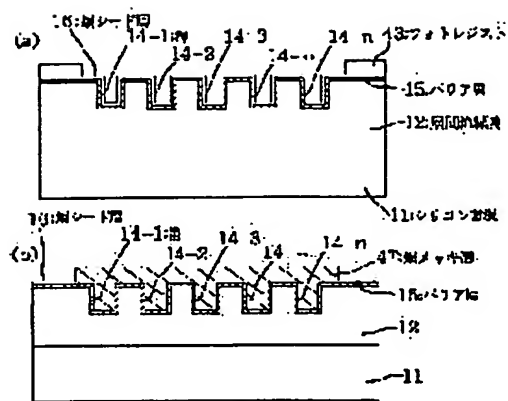
【図 6】



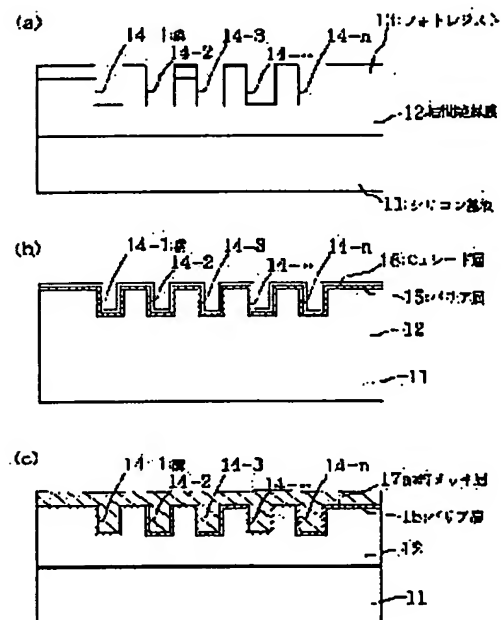
【図 14】



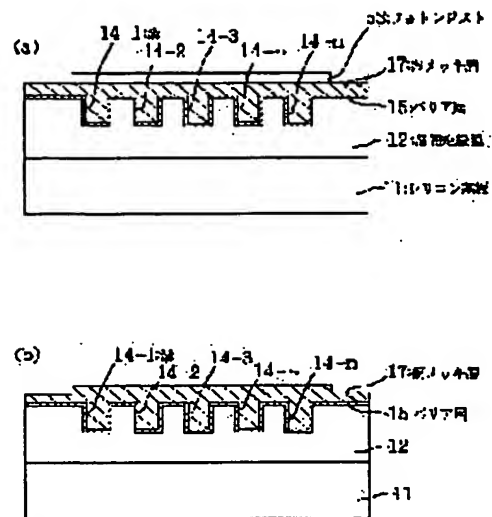
【圖 7】



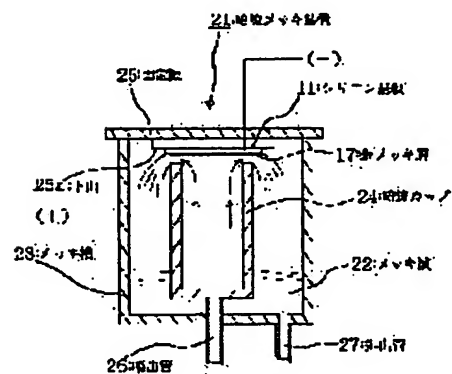
【圖 9】



【圖8】



【图 1-1】



【圖 15】

